

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22156

(P2000-22156A)

(43)公開日 平成12年1月21日(2000.1.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 T 2 H 0 9 2
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0
		H 0 1 L 29/78	6 1 7 K

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21)出願番号 特願平10-184245

(22)出願日 平成10年6月30日(1998.6.30)

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(71)出願人 000214892
鳥取三洋電機株式会社
鳥取県鳥取市南吉方3丁目201番地
(72)発明者 山内 隆夫
鳥取県鳥取市南吉方3丁目201番地 鳥取
三洋電機株式会社内
(74)代理人 100076794
弁理士 安富 耕二 (外1名)

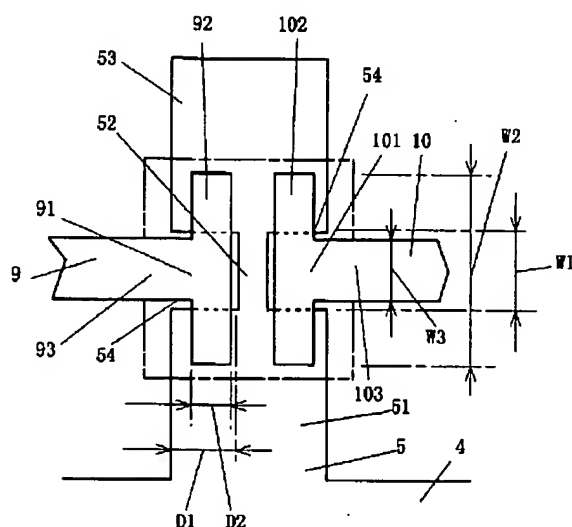
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ及びそのアレイ

(57)【要約】

【課題】 露光誤差等に起因する寄生容量の変動を低減すること。

【解決手段】 ソース電極9及びドレイン電極10はそれぞれ、半導体層7と平面的に重なる領域に平面がT字形状を成す部分91、101を備えている。ゲート電極5は、基部パターン51と先端パターン53を細幅の連結部52を介して接続し、この連結部52の両側に所定幅の溝部54を形成した平面形状としている。ソース電極9及びドレイン電極10は、T字の横棒部分92、102が連結部52を挟んで互いに向かい合うように、かつT字の縦棒部分93、103がゲート電極5と平面的に重ならないように溝部54に対応して配置して薄膜トランジスタを構成した。



【特許請求の範囲】

【請求項1】 チャンネル領域を形成する半導体層と、該半導体層を介在して対向配置したソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と平面的な重なりを持つように前記半導体層の上もしくは下に絶縁層を介して配置したゲート電極を備える薄膜トランジスタにおいて、前記ソース及びドレイン電極はそれぞれ、前記半導体層と平面的に重なる領域に平面がT字形状を成す部分を備えて構成し、前記ゲート電極は、基部パターンと先端パターンを細幅の連結部を介して接続し、この連結部の両側に所定幅の溝部を形成した平面形状で構成し、前記ソース及びドレイン電極は、T字の横棒部分が前記連結部を挟んで互に向かい合うように、かつT字の縦棒部分が前記ゲート電極と平面的に重ならないように前記溝部に対応して配置したことを特徴とする薄膜トランジスタ。

【請求項2】 チャンネル領域を形成する半導体層と、該半導体層を介在して対向配置したソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と平面的な重なりを持つように前記半導体層の上もしくは下に絶縁層を介して配置したゲート電極とを備える薄膜トランジスタを基板上にマトリックス状に配列した薄膜トランジスタアレイにおいて、前記ソース及びドレイン電極はそれぞれ、前記半導体層と平面的に重なる領域に平面がT字形状を成す部分を備えて構成し、前記ゲート電極は、基部パターンと先端パターンを細幅の連結部を介して接続し、この連結部の両側に所定幅の溝部を形成した平面形状で構成し、前記ソース及びドレイン電極は、T字の横棒部分が前記連結部を挟んで互に向かい合うように、かつT字の縦棒部分が前記ゲート電極と平面的に重ならないように前記溝部に対応して配置したことを特徴とする薄膜トランジスタアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ及びそのアレイに関する。

【0002】

【従来の技術】液晶表示装置等に用いる薄膜トランジスタアレイは、その薄膜トランジスタとして、図4に概略的な平面図を示すように、対向配置したソース電極S及びドレイン電極Dにチャンネル領域を形成する半導体層SCを接続し、ソース電極S及びドレイン電極Dと平面的な重なりを持つように半導体層SCの上もしくは下に絶縁層を介して配置したゲート電極Gを備えた構造のものを複数配列して構成している。

【0003】液晶表示装置等に用いる薄膜トランジスタアレイは、その平面寸法が大型になると、各種の薄膜をパターンニングするためのフォトリソ工程において、1つの画面をいくつかに分けて露光する分割露光が行われることが多い。分割露光を行うと、マスクパターンのズ

レ等に起因する製作精度の誤差によってソース電極D、ドレイン電極Dがゲート電極Gと平面的に重なる部分（図4にハッチングで示す）の面積が変動しやすい。このような電極の重なり領域の変動によって、トランジスタの寄生容量が変化し、それによって表示品位が低下することがある。トランジスタの寄生容量による影響を低減するためには、補助容量の増大を図ることも有効であるが、補助容量を増大させると一般に開口率の低下を招きやすい。

10 【0004】

【発明が解決しようとする課題】本発明は上記の点を考慮し、薄膜トランジスタにおいて、露光誤差等に起因する電極の平面的な重なり領域（寄生容量）の変動を低減することを課題とする。また、表示品位の良好な液晶表示装置に好適な薄膜トランジスタアレイを提供することを課題とする。

【0005】

【課題を解決するための手段】本発明の薄膜トランジスタは、チャンネル領域を形成する半導体層と、該半導体層を介在して対向配置したソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と平面的な重なりを持つように前記半導体層の上もしくは下に絶縁層を介して配置したゲート電極を備える薄膜トランジスタにおいて、前記ソース及びドレイン電極はそれぞれ、前記半導体層と平面的に重なる領域に平面がT字形状を成す部分を備えて構成し、前記ゲート電極は、基部パターンと先端パターンを細幅の連結部を介して接続し、この連結部の両側に所定幅の溝部を形成した平面形状で構成し、前記ソース及びドレイン電極は、T字の横棒部分が前記連結部を挟んで互に向かい合うように、かつT字の縦棒部分が前記ゲート電極と平面的に重ならないように前記溝部に対応して配置したことを特徴とする。

【0006】本発明の薄膜トランジスタアレイは、チャンネル領域を形成する半導体層と、該半導体層を介在して対向配置したソース電極及びドレイン電極と、前記ソース電極及びドレイン電極と平面的な重なりを持つように前記半導体層の上もしくは下に絶縁層を介して配置したゲート電極とを備える薄膜トランジスタを基板上にマトリックス状に配列した薄膜トランジスタアレイにおいて、前記ソース及びドレイン電極はそれぞれ、前記半導体層と平面的に重なる領域に平面がT字形状を成す部分を備えて構成し、前記ゲート電極は、基部パターンと先端パターンを細幅の連結部を介して接続し、この連結部の両側に所定幅の溝部を形成した平面形状で構成し、前記ソース及びドレイン電極は、T字の横棒部分が前記連結部を挟んで互に向かい合うように、かつT字の縦棒部分が前記ゲート電極と平面的に重ならないように前記溝部に対応して配置したことを特徴とする。

【0007】

【発明の実施の形態】以下本発明の実施例を逆スタガ型

の薄膜トランジスタ (Thin Film Transistor: TFT) をマトリックス状に配列した薄膜トランジスタアレイを例にとって図面を参照して説明する。図1は本発明の実施例に係わる薄膜トランジスタアレイ1の概略的な平面図、図2は図1の要部 (薄膜トランジスタ2) の断面図、図3は図1の要部 (薄膜トランジスタ2のソース電極、ドレイン電極、ゲート電極) の配置を示す模式的な平面図である。

【0008】薄膜トランジスタアレイ1は、無アルカリガラスなどの透明基板3の上に、左右方向の複数のゲート配線4、並びに このゲート配線4に接続したゲート電極5を形成している。前記ゲート電極5の上には、ゲート絶縁層 (SiNx等) 6を介してTFTアイランド7を形成している。TFTアイランド7は、後述するソース電極9やドレイン電極10に接続されてチャンネル領域を形成する半導体層としてのa-Si層71やオーミックコンタクト用のn⁺a-Si層72などの薄膜層を備えている。TFTアイランド7の形成後、ゲート配線4と直交する方向のソース配線8、これに接続したソ

ース電極9、並びにドレイン電極10が形成される。前記電極5、9、10並びに配線4、8は、Cr、Mo-Ta、Ta-Alなどの金属が選択的に使用される。

【0009】TFTアイランド7、ソース電極9、ドレイン電極10などの上面は、保護膜 (SiNx等) 11によって覆っている。この保護膜11に前記ドレイン電極10に至るコンタクトホール12を形成した後、ITO等の透明な画素電極13を薄膜トランジスタ2に隣接して形成している。

【0010】前記ゲート電極5は、図3にその平面的なパターンをソース電極9及びドレイン電極10とともに示すように、ゲート配線4に接続した基部パターン51と、この基部パターン51に細幅の連結部52を介して接続した先端パターン53を備えた平面形状を成している。前記連結部52の両側には、所定の幅W1と深さD1の溝部54、54が形成されている。

【0011】対向配置されてn⁺a-Si層72を介してa-Si層71に接続されたソース電極9とドレイン電極10はそれぞれ、図3に示すように、TFTアイランド7 (半導体層) と平面的に重なる領域に、平面がT字形状を成す部分91、101を備えている。そして、前記ソース電極9及びドレイン電極10は、T字形状91、101の横棒部分92、102のそれぞれが、ゲート電極5の連結部52を挟んで互いに向かい合うように配置しているとともに、T字形状91、101の縦棒部分93、103が前記ゲート電極5と平面的に重ならないように前記溝部54に対応した位置に配置している。すなわち、T字形状91、101の横棒部分92、102の長さW2を溝54の幅W1よりも十分長くなるように形成し、T字形状91、101の横棒部分92、102の幅D2を溝54の深さD1よりも若干短く形成し、

T字形状91、101の縦棒部分93、103の幅W3を溝54の幅W1よりも若干短くなるように形成している。

【0012】ゲート電極5に上記のような一对の溝部54、54を形成し、ソース電極9、ドレイン電極10の各々の平面形状を上記のようなT字形状として溝部54、54と対応して配置したので、各電極の形成に際して、分割露光など起因して上下、左右に精度上の若干のズレが生じたとしても、ソース電極9並びにドレイン電極10とゲート電極5の平面的な重なり寸法に変化が殆ど生じない。それにともない、薄膜トランジスタ2の寄生容量の変動も殆ど生じないので、この薄膜トランジスタアレイ1を液晶表示装置の一方の基板に組み込んで表示装置を構成する場合、寄生容量に起因する表示ムラの発生を防止して表示品位の良い液晶表示装置を提供することができる。また、補助容量の増加も必要としないので、開口率を高く保つことができる。

【0013】尚、上記実施例は、ゲート電極5の上にゲート絶縁膜6を介してTFTアイランド7を配置した逆スタガ型を例にとって説明したが、本発明は、TFTアイランドの上にゲート絶縁膜を介してゲート電極を配置する正スタガ型のTFTにも適用することができる。

【0014】

【発明の効果】以上のように本発明によれば、電極の形成に際して、上下、左右に精度上の若干のズレが生じたとしても、ソース並びにドレイン電極とゲート電極の平面的な重なり寸法に変化が殆ど生じないので、薄膜トランジスタの寄生容量の変動を抑制することができる。その結果、この薄膜トランジスタアレイを液晶表示装置の一方の基板に組み込んで表示装置を構成する場合、寄生容量に起因する表示ムラの発生を防止して表示品位の良い液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係わる薄膜トランジスタアレイの概略的な平面図である。

【図2】図1の要部 (薄膜トランジスタ) の断面図である。

【図3】図1の要部 (薄膜トランジスタ) の概略的な平面図である。

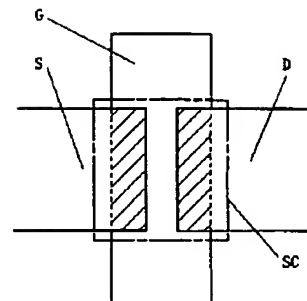
【図4】従来の薄膜トランジスタの概略的な平面図である。

【符号の説明】

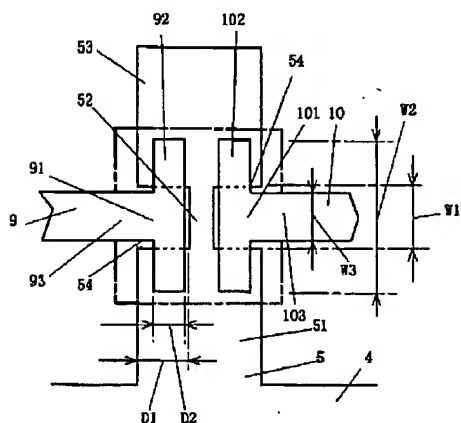
- 1 薄膜トランジスタアレイ
- 2 薄膜トランジスタ
- 4 ゲート配線
- 5 ゲート電極
- 6 ゲート絶縁膜
- 7 TFTアイランド
- 8 ソース配線
- 9 ソース電極

13 画素電極

【図4】



【図3】



Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JB02
JB13 JB23 JB32 JB54 JB56
JB63 JB69 KA05 KA07 KA12
KA16 KA18 KB05 KB14 KB24
MA05 MA08 MA14 MA15 MA16
MA18 MA19 MA20 MA22 MA27
MA37 MA41 NA01 NA24 NA25
NA27 NA29 PA06 QA07